

中華民國專利公報 [19] [12]

[11]公告編號：476418

[44]中華民國 91 年 (2002) 02 月 11 日

新型

全 7 頁

[51] Int.Cl⁰⁷： G01R31/00

[54]名稱：峰值擷取及其校正電路

[21]申請案號： 088220146

[22]申請日期：中華民國 88 年 (1999) 11 月 26 日

[72]創作人：

高承永

陳文藻

李永斌

新竹縣竹東鎮光明路七十六巷三十八號

新竹市香山區牛埔路十四巷六弄十九之十號六樓

台北縣中和市秀朗路三段七十巷三十五號四樓

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1. 一種峰值擷取及校正電路，係為一數位電表訊號中峰值擷取與校準之電路，其係利用一積體電路以及一電容實施所述積體電路外接之電容，該積體電路中包括有一運算放大器以及一開關電路，所述運算放大器的輸入端分別連接於返饋及進入一第一電壓，所述運算放大器的輸出端連接於所述開關電路，所述開關電路輸出一第二電壓，並與所述電容連接。
2. 如申請專利範圍第 1 項所述之峰值擷取及校正電路，其中，所述開關電路包含有一電晶體，可提供足夠大的電流對所述電容充電。
3. 如申請專利範圍第 2 項所述之峰值擷取及校正電路，可更包含有一電阻，所述電阻與所述電晶體連接，避免所述第二電壓會有超過的現象。
4. 如申請專利範圍第 3 項所述之峰值擷取及校正電路，其中所述電晶體係為一

5. N 通道電晶體，所述運算放大器的非反相輸入端進入所述第一電壓，所述運算放大器的反相輸入端與返饋連接，而所述運算放大器的輸出端連接所述 N 通道電晶體的閘極。
5. 如申請專利範圍第 4 項所述之峰值擷取及校正電路，其中所述 N 通道電晶體的汲極端接到電路中最高的電位，源極連接所述電阻一端，所述電阻另一端連接所述電容，所述電容接到電路中的一個低雜訊直流電壓。
10. 6. 如申請專利範圍第 5 項所述之峰值擷取及校正電路，其中，在進入量測之前，所述第二電壓設定成比有效量測範圍的最低電位還要低的電位。
15. 7. 如申請專利範圍第 6 項所述之峰值擷取及校正電路，其中，在所述第一電壓大於所述第二電壓時，所述運算放大器的輸出為 "高" 邏輯狀態，所述 N 通道電晶體會導通，所述第二電壓會跟
- 20.

隨(follow)所述第一電壓。

- 8.如申請專利範圍第7項所述之峰值擷取及校正電路，其中，當所述第一電壓較所述第二電壓為低時，所述運算放大器的輸出為"低"邏輯狀態，所述N通道電晶體關閉，所述電容將所述第二電壓維持住。
- 9.如申請專利範圍第8項所述之峰值擷取及校正電路，其中，當所述第一電壓再高於所述第二電壓，所述第二電壓又會再跟隨所述第一電壓。
- 10.如申請專利範圍第3項所述之峰值擷取及校正電路，其中，所述電晶體係為一P通道電晶體，所述運算放大器的非反相輸入端進入所述第一電壓，所述運算放大器的反相輸入端與返饋連接，而所述運算放大器的輸出端連接所述P通道電晶體的閘極。
- 11.如申請專利範圍第10項所述之峰值擷取及校正電路，其中，所述P通道電晶體的汲極端接到電路中最低的電位，源極連接所述電阻一端，所述電阻另一端連接所述電容，所述電容接到電路中的一個低雜訊直流電壓。
- 12.如申請專利範圍第11項所述之峰值擷取及校正電路，其中，在進入量測之前，所述第二電壓設定成比有效量測範圍的最高電位還要高的電位。
- 13.如申請專利範圍第12項所述之峰值擷取及校正電路，其中，在所述第一電壓小於所述第二電壓時，所述運算放大器的輸出為"低"邏輯狀態，所述P通道電晶體會導通，所述第二電壓會跟隨(follow)所述第一電壓。
- 14.如申請專利範圍第13項所述之峰值擷取及校正電路，其中，當所述第一電壓較所述第二電壓為高時，所述運算放大器的輸出為"高"邏輯狀態，所述P通道電晶體關閉，所述第二電壓維持住。

- 15.如申請專利範圍第14項所述之峰值擷取及校正電路，其中，當所述第一電壓再低於所述第二電壓，所述第二電壓又會再跟隨所述第一電壓。
5. 16.如申請專利範圍第3項所述之峰值擷取及校正電路，其中，所述電晶體係為一P通道電晶體，所述運算放大器的反相輸入端進入所述第一電壓，所述運算放大器的非反相輸入端與返饋連接，而所述運算放大器的輸出端連接所述P通道電晶體的閘極。
10. 17.如申請專利範圍第16項所述之峰值擷取及校正電路，其中，所述P通道電晶體的源極端接到電路中最高的電位，汲極連接所述電阻一端，所述電阻另一端連接所述電容，所述電容接到電路中的一個低雜訊直流電壓。
15. 18.如申請專利範圍第17項所述之峰值擷取及校正電路，其中，當所述第一電壓大於所述第二電壓時，所述運算放大器的輸出為"低"邏輯狀態，所述P通道電晶體會導通，所述第二電壓可快速跟上所述第一電壓。
20. 19.如申請專利範圍第18項所述之峰值擷取及校正電路，其中，當所述第一電壓較所述第二電壓為低時，所述運算放大器的輸出為"高"邏輯狀態，所述P通道電晶體關閉，所述電容將所述第二電壓的電壓維持住。
25. 20.如申請專利範圍第19項所述之峰值擷取及校正電路，其中，當所述第一電壓再高於所述第二電壓，所述第二電壓又會再跟隨所述第一電壓。
30. 21.如申請專利範圍第3項所述之峰值擷取及校正電路，其中，所述電晶體係為N通道電晶體，所述運算放大器的反相輸入端進入所述第一電壓，所述運算放大器的非反相輸入端與返饋連接，而所述運算放大器的輸出端連接所述N通道電晶體的閘極。
- 40.

- 22.如申請專利範圍第21項所述之峰值擷取及校正電路，其中，所述N通道電晶體的源極端接到電路中最低的電位，汲極連接所述電阻一端，所述電阻另一端連接所述電容，所述電容接到電路中的一個低雜訊直流電壓。
- 23.如申請專利範圍第22項所述之峰值擷取及校正電路，其中，所述N通道電晶體的基板(substrate)接到電路中最低的電位。
- 24.如申請專利範圍第23項所述之峰值擷取及校正電路，其中，在所述第一電壓小於所述第二電壓時，所述運算放大器的輸出為"高"邏輯狀態，所述N通道電晶體會導通，所述第二電壓會快速跟隨(follow)所述第一電壓。
- 25.如申請專利範圍第24項所述之峰值擷取及校正電路，其中，當所述第一電壓較所述第二電壓為高時，所述運算放大器的輸出為"低"邏輯狀態，所述N通道電晶體關閉，所述第二電壓維持住。
- 26.如申請專利範圍第25項所述之峰值擷取及校正電路，其中，當所述第一電壓再低於所述第二電壓，所述第二電壓又會再跟隨所述第一電壓。
- 27.一種數位電表訊號峰值擷取校準電路，其係利用一積體電路以及一電容實施，所述積體電路外接所述電容，所述積體電路包括有一運算放大器、一電晶體以及一電阻，所述運算放大器的反相輸入端接到電路中的一個低雜訊直流電壓，非反相輸入端與返饋連接，而所述運算放大器的輸出端連接所述電晶體的閘極，所述電晶體可提供足夠大的電流對所述電容充電，所述電阻連接於所述電晶體與所述電容之間，避免一輸出之第二電壓會有超過的現象。
- 28.如申請專利範圍第27項所述之數位電

- 表訊號峰值擷取校準電路，其中，所述電晶體係為P通道電晶體，所述P通道電晶體的源極端接到電路中最高的電位，汲極連接所述電阻一端，所述電阻另一端連接所述電容，所述電容接到電路中的一個低雜訊直流電壓。
- 29.如申請專利範圍第28項所述之數位電表訊號峰值擷取校準電路，其中，當所述第一電壓大於所述第二電壓時，所述運算放大器的輸出為"低"邏輯狀態，所述P通道電晶體會導通，所述第二電壓可快速跟上所述第一電壓。
- 30.如申請專利範圍第29項所述之數位電表訊號峰值擷取校準電路，其中，當所述第一電壓較所述第二電壓為低時，所述運算放大器的輸出為"高"邏輯狀態，所述P通道電晶體關閉，所述電容將所述第二電壓的電壓維持住。
- 31.如申請專利範圍第30項所述之數位電表訊號峰值擷取校準電路，其中，當所述第一電壓再高於所述第二電壓，所述第二電壓又會再跟隨所述第一電壓。
- 32.如申請專利範圍第27項所述之數位電表訊號峰值擷取校準電路，其中，所述電晶體係為N通道電晶體，所述N通道電晶體的源極端接到電路中最低的電位，汲極連接所述電阻一端，所述電阻另一端連接所述電容，所述電容接到電路中的一個低雜訊直流電壓。
- 33.如申請專利範圍第32項所述之數位電表訊號峰值擷取校準電路，其中，所述N通道電晶體的基板(substrate)接到電路中最低的電位。
- 34.如申請專利範圍第33項所述之數位電表訊號峰值擷取校準電路，其中，在所述第一電壓小於所述第二電壓時，所述運算放大器的輸出為"高"邏輯狀

態，所述 N 通道電晶體會導通，所述第二電壓會快速跟隨(follow)所述第一電壓。

35.如申請專利範圍第 34 項所述之數位電表訊號峰值擷取校準電路，其中，當所述第一電壓較所述第二電壓為高時，所述運算放大器的輸出為 " 低 " 邏輯狀態，所述 N 通道電晶體關閉，所述第二電壓維持住。

36.如申請專利範圍第 35 項所述之數位電表訊號峰值擷取校準電路，其中，當所述第一電壓再低於所述第二電壓，所述第二電壓又會再跟隨所述第一電壓。

圖式簡單說明：

圖一係繪示輸入信號的極大值和極小值之定義。

圖二 A 係繪示習用的峰值擷取電路的波峰極大值電路之詳細電路圖。

圖二 B 係繪示習用的峰值擷取電路的波峰極小值電路之詳細電路圖。

圖三 A 係繪示本創作第一較佳實施例之數位電表訊號峰值擷取量測電路的波峰極大值電路之詳細電路圖。

圖三 B 係繪示本創作第一較佳實施例之數位電表訊號峰值擷取量測電路的波峰極小值電路之詳細電路圖。

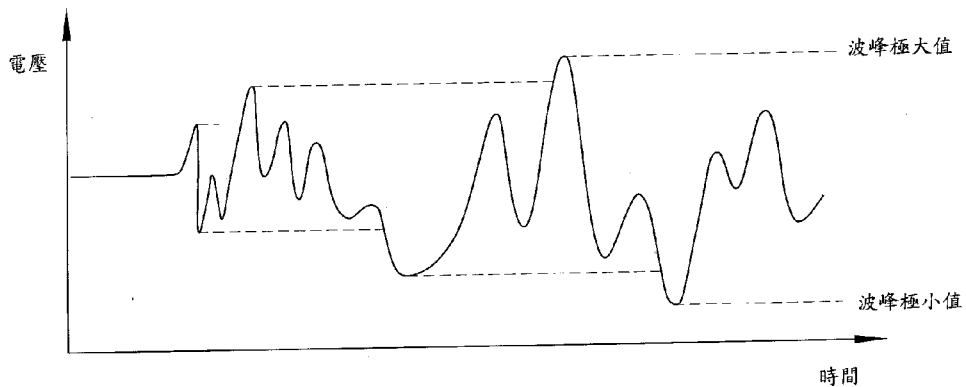
圖四 A 係繪示本創作第二較佳實施例之數位電表訊號峰值擷取量測電路的波峰極大值電路之詳細電路圖。

圖四 B 係繪示本創作第二較佳實施例之數位電表訊號峰值擷取量測電路的波峰極小值電路之詳細電路圖。

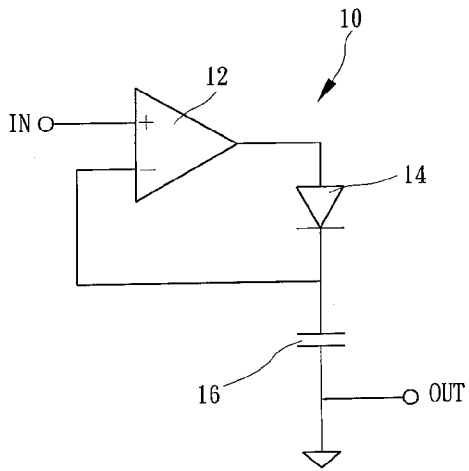
圖五 A 係繪示本創作第三較佳實施例之數位電表訊號峰值擷取校準電路的波峰極大值電路之詳細電路圖。

圖五 B 係繪示本創作第三較佳實施例之數位電表訊號峰值擷取校準電路的波峰極小值電路之詳細電路圖。

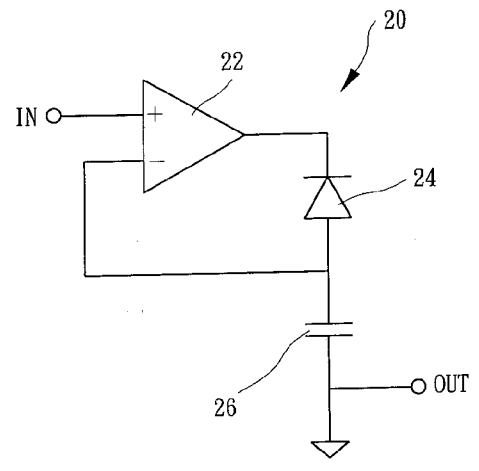
圖六係繪示本創作第三較佳實施例之數位電表訊號峰值擷取校準電路校準的時序圖。



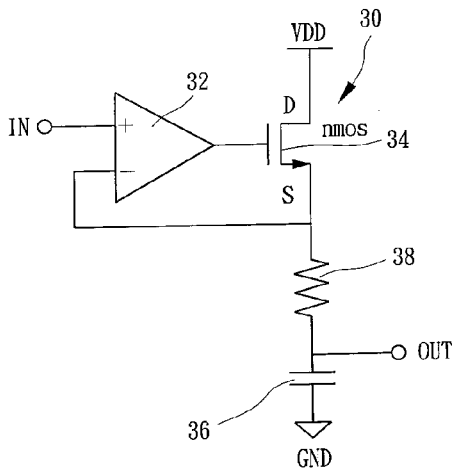
圖一



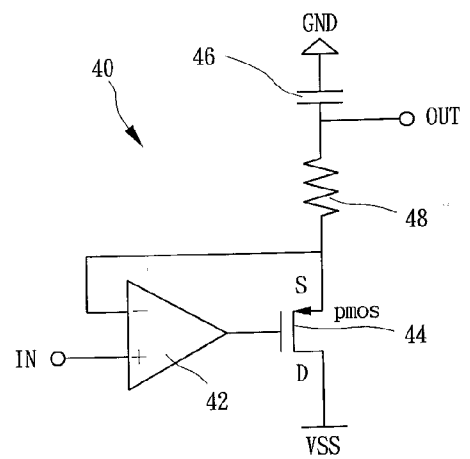
圖二A



圖二B

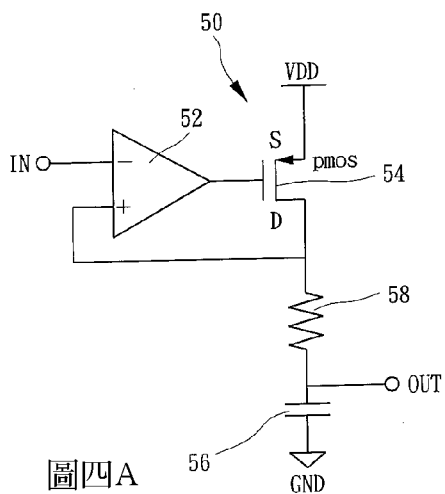


圖三A

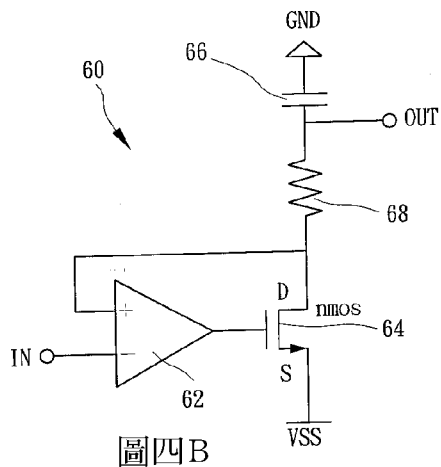


圖三B

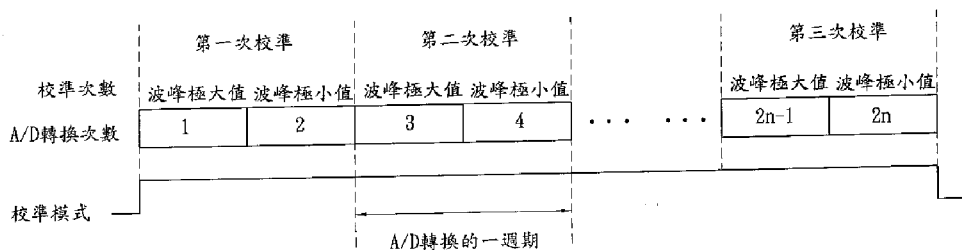
(6)



圖四A

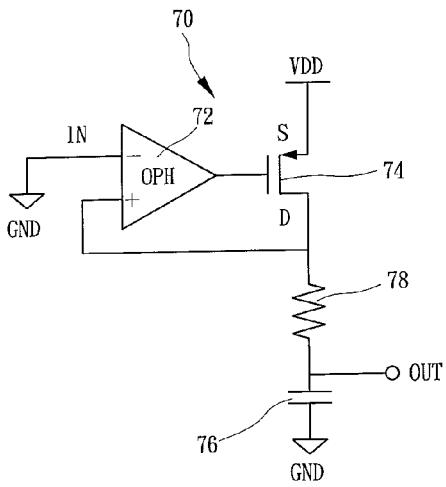


圖四B

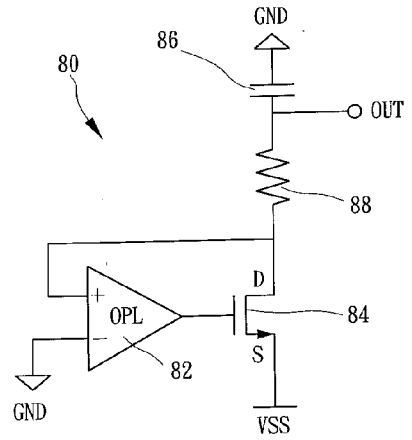


圖六

(7)



圖五A



圖五B

